

108

**Semiconductor memory device having a circuit for fast operation**

Patent Number: ☐ US6295238  
Publication date: 2001-09-25  
Inventor(s): TANIZAKI TETSUSHI (JP); ASAKURA MIKIO (JP); DOSAKA KATSUMI  
Applicant(s): MITSUBISHI ELECTRIC CORP (US)  
Requested Patent: ☐ JP2001076500  
Application: US20000604007 20000626  
Priority Number(s): JP19990182335 19990628; JP20000036777 20000215  
IPC Classification: G11C7/00  
EC Classification: G11C11/406, G11C29/00B2E  
Equivalents:

---

**Abstract**

---

A semiconductor memory device includes a command decoder receiving an external signal and issuing a command, a clock buffer receiving an external clock, gates and a refresh counter. When a test signal at L-level, an auto-refresh signal is issued in accordance with the output of the command decoder. When the test signal is at H-level, the auto-refresh signal is issued in accordance with the output (external clock) of the clock buffer. Thereby, the test can be performed with a good timing accuracy even by a low-speed tester

---

Data supplied from the esp@cenet database - I2

(11)特許出願公開番号

特開2001-76500

(P2001-76500A)

(43)公開日 平成13年3月23日(2001.3.23)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	データベース*(参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 Z 2 G 0 3 2
G 0 1 R 31/28		G 0 6 F 1/04	3 0 1 F 5 B 0 7 9
G 0 6 F 1/04	3 0 1	G 0 1 R 31/28	B 5 L 1 0 6
			9 A 0 0 1

審査請求 未請求 請求項の数14 OL (全 11 頁)

(21)出願番号	特願2000-36777(P2000-36777)	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成12年2月15日(2000.2.15)	(72)発明者	谷▲崎▼ 哲志 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(31)優先権主張番号	特願平11-182335	(72)発明者	堂阪 勝己 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(32)優先日	平成11年6月28日(1999.6.28)	(74)代理人	100064746 弁理士 深見 久郎 (外4名)
(33)優先権主張国	日本(JP)		

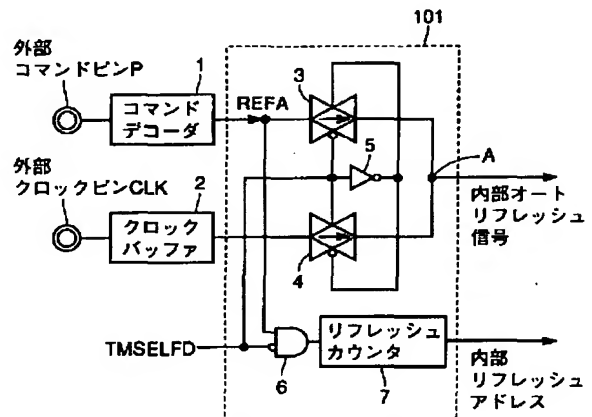
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 低速テストを使用した場合であってもタイミング精度がよいディスタープテストを行うことができる半導体記憶装置を提供する。

【解決手段】 本発明に係る半導体記憶装置は、外部信号を受けてコマンドを発生するコマンドデコーダ１、外部クロックを受けるクロックバッファ２、ゲート３、４、およびリフレッシュカウンタ７を含む。テスト信号ＴＭＳＥＬＦＤがＬレベルであればコマンドデコーダ１の出力に応じてオートリフレッシュ信号が発生する。テスト信号ＴＭＳＥＬＦＤがＨレベルであればクロックバッファ２の出力（外部クロック）に応じてオートリフレッシュ信号が発生する。これにより、セルフディスタurbテストが実施される。



## 【特許請求の範囲】

【請求項1】 行列状に配置される複数のメモリセルと、前記複数のメモリセルの複数の行に対応して設けられる複数のワード線とを含むメモリセルアレイと、外部信号に応じて、テストモードが設定されたことを検出するテストモード検出回路と、

前記テストモード検出回路の出力に応じて、外部クロックをトリガとして、前記メモリセルアレイのディスタープテストを実施するための制御を行なう制御回路とを備える、半導体記憶装置。

【請求項2】 前記外部クロックを受けるクロックバッファと、

前記メモリセルアレイの行の選択を制御する行選択制御回路とをさらに備え、

前記制御回路は、

前記テストモード検出回路の出力に応じて、前記クロックバッファの出力に基づき前記行選択制御回路の動作タイミングを決定する信号を出力する、請求項1記載の半導体記憶装置。

【請求項3】 前記制御回路は、

前記メモリセルアレイのリフレッシュ動作を実施させるためのオートリフレッシュ信号を出力するリフレッシュ回路を含み、

前記リフレッシュ回路は、

通常動作においては、外部コマンドに応じて前記オートリフレッシュ信号を発生し、前記テストモードにおいては、前記クロックバッファの出力に同期した前記オートリフレッシュ信号を発生する、請求項2に記載の半導体記憶装置。

【請求項4】 前記外部クロックとは、

第1外部信号と、

前記第1外部信号と周期が実質的に同一である第2外部信号とであって、

前記第1外部信号と前記第2外部信号との位相差に基づき、内部クロックを発生する内部クロック発生回路をさらに備え、

前記制御回路は、

前記内部クロックをトリガとして前記ディスタープテストを実施するための制御を行なう、請求項1に記載の半導体記憶装置。

【請求項5】 前記外部クロックを取込む第1バッファと、前記外部クロックを取込む第2バッファと、前記第1バッファおよび前記第2バッファの出力に応じて、前記外部クロックに対して2逓倍の内部クロックを発生する内部クロック発生回路をさらに備え、

前記制御回路は、

前記内部クロックをトリガとして前記ディスタープテストを実施するための制御を行なう、請求項1に記載の半導体記憶装置。

【請求項6】 前記第1バッファと前記第2バッファと

は、特性が実質的に同一であって、

前記内部クロック発生回路は、

前記第1バッファの出力と前記第2バッファの出力とにより、実質的に均一なパルス幅を有する前記内部クロックを発生する、請求項5に記載の半導体記憶装置。

【請求項7】 前記外部クロックは、

第1外部クロックと、

前記第1外部クロックと位相が異なり、前記第1外部クロックと実質的に同一の周期を有する第2外部クロックとを含み、

前記第1外部クロックおよび前記第2外部クロックに応じて内部クロックを発生する内部クロック発生回路をさらに備え、

前記制御回路は、

前記内部クロックをトリガとして前記ディスタープテストを実施するための制御を行なう、請求項1に記載の半導体記憶装置。

【請求項8】 前記内部クロックは、

前記第1外部クロックの立上りエッジおよび立下がりエッジに対応するパルスを有する、請求項7に記載の半導体記憶装置。

【請求項9】 行列状に配置される複数のメモリセルと、前記複数のメモリセルの複数の行に対応して設けられる複数のワード線とを含むメモリセルアレイと、外部信号に応じて、テストモードが設定されたことを検出するテストモード検出回路と、

前記メモリセルアレイのリフレッシュ動作におけるリフレッシュ周期を決定するリフレッシュタイマを含み、前記リフレッシュ動作を制御するリフレッシュ制御回路とを備え、

前記リフレッシュタイマは、

前記テストモードにおいては、通常動作よりも短い周期の発振信号を出力する、半導体記憶装置。

【請求項10】 前記リフレッシュタイマは、

第1発振信号を発生する第1信号発生回路と、

前記第1発振信号よりも周期の短い第2発振信号を発生する第2信号発生回路と、

前記テストモード検出回路の出力に応じて、前記第1発振信号または前記第2発振信号を選択的に出力する選択回路とを含み、

前記選択回路は、

前記テストモードにおいては、前記発振信号として前記第2発振信号を出力する、請求項9に記載の半導体記憶装置。

【請求項11】 行列状に配置される複数のメモリセルと、複数の行に対応して設けられる複数のワード線と、複数の列に対応して設けられる複数のビット線とを含むメモリセルアレイと、

内部クロックに同期して、前記メモリセルアレイの読出動作／書込動作を制御する制御回路と、

互いに位相の異なる複数の外部信号に基づき、前記複数の外部信号のそれぞれの周波数よりも高い周波数の前記内部クロックを発生する内部クロック発生回路とを備える、半導体記憶装置。

【請求項12】 前記複数の外部信号は、実質的に同一の周波数を有し、前記内部クロック発生回路は、複数の外部信号のうち、互いに異なる組合せの2つの外部入力を受ける複数の論理回路と、前記複数の論理回路の出力の論理和を算出して、前記内部クロックを出力する回路とを含み、前記複数の論理回路のそれぞれは、対応する2つの外部信号の位相差に応じたクロックを出力する、請求項11に記載の半導体記憶装置。

【請求項13】 外部クロックを取込むクロックバッファと、動作モードを検出するモード検出回路とをさらに備え、前記制御回路は、前記モード検出回路の出力にตอบสนองして、前記内部クロック発生回路の出力または前記クロックバッファの出力に同期して、前記メモリセルアレイの読出動作／書込動作を制御する、請求項12に記載の半導体記憶装置。

【請求項14】 前記内部クロック発生回路の出力する内部クロックは、前記外部クロックより高い周波数である、請求項13に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、特に低速テストでタイミング精度よくディスタurbテストを行なうことができる機能を有する半導体記憶装置に関する。

【0002】

【従来の技術】従来より、半導体記憶装置のテストとして、ディスタurbテストがある。ディスタurbテストでは、ワード線を立上げてメモリセルのデータをビット線に読み出し、これをセンスアンプで増幅して再びメモリセルに再書込みし、ワード線を立下げるといった一連の動作を行なう。この動作により、隣接する非選択ワード線のメモリセルをディスタurbする。

【0003】

【発明が解決しようとする課題】ところで、従来の半導体記憶装置は、低速テストを用いてディスタurbテストの一連の動作間隔を短くしたテスト（ショートサイクルテスト）を実施するため、デバイス内部に備える発振回路の出力（高周波信号）をディスタurbテストのトリガ信号として利用していた。

【0004】しかしながら、プロセスの影響やテスト環境（温度／電圧等）により、トリガとなる高周波信号のタイミング精度がばらつき、精度よくテストすることができないという問題があった。

【0005】また、低速テストとして一度に大量のデバイスがテストできるテストングバーンイン装置を用いた場合、良否判定はスキャン方式により行なわれるため、すべてのデバイスを判定するのに時間を要する。

【0006】この間、一度に大量のデバイスがディスタurbされることによりバーンイン槽内の温度が上昇するため、デバイスにとって厳しい環境にある。したがって、良否判定が行われている間にオーバーテストベック状態となる可能性があり、デバイスのマージンによっては良品でも不良品になってしまうという問題があった。

【0007】そこで、本発明はかかる問題を解決するためになされたものであり、その目的は、低速テストでタイミング精度よく、効果的にディスタurbテストを行なうことができる半導体記憶装置を提供することにある。

【0008】また、本発明のさらなる目的は、ディスタurbテスト後の状態を適切に保持する機能を有する半導体記憶装置を提供することにある。

【0009】また、本発明のさらなる目的は、高速に動作させることができる半導体記憶装置を提供することにある。

【0010】

【課題を解決するための手段】この発明の一つの局面によると、半導体記憶装置は、行列状に配置される複数のメモリセルと、複数のメモリセルの複数の行に対応して設けられる複数のワード線とを含むメモリセルアレイと、外部信号に応じて、テストモードが設定されたことを検出するテストモード検出回路と、テストモード検出回路の出力にตอบสนองして、外部クロックをトリガとして、メモリセルアレイのディスタurbテストを実施するための制御を行なう制御回路とを備える。

【0011】好ましくは、外部クロックを受けるクロックバッファと、メモリセルアレイの行の選択を制御する行選択制御回路とをさらに備え、制御回路は、テストモード検出回路の出力にตอบสนองして、クロックバッファの出力に基づき行選択制御回路の動作タイミングを決定する信号を出力する。

【0012】より好ましくは、制御回路は、メモリセルアレイのリフレッシュ動作を実施させるためのオートリフレッシュ信号を出力するリフレッシュ回路を含み、リフレッシュ回路は、通常動作においては、外部コマンドにตอบสนองしてオートリフレッシュ信号を発生し、テストモードにおいては、クロックバッファの出力に同期したオートリフレッシュ信号を発生する。

【0013】好ましくは、外部クロックとは、第1外部信号と、第1外部信号と周期が実質的に同一である第2外部信号とであって、第1外部信号と第2外部信号との位相差に基づき、内部クロックを発生する内部クロック発生回路をさらに備え、制御回路は、内部クロックをトリガとしてディスタurbテストを実施するための制御を

行なう。

【0014】好ましくは、外部クロックを取込む第1バッファと、外部クロックを取込む第2バッファと、第1バッファおよび第2バッファの出力に応じて、外部クロックに対して2通倍の内部クロックを発生する内部クロック発生回路をさらに備え、制御回路は、内部クロックをトリガとしてディスタブテストを実施するための制御を行なう。

【0015】より好ましくは、第1バッファと第2バッファとは、特性が実質的に同一であって、内部クロック発生回路は、第1バッファの出力と第2バッファの出力とにより、実質的に均一なパルス幅を有する内部クロックを発生する。

【0016】好ましくは、外部クロックは、第1外部クロックと、第1外部クロックと位相が異なり、第1外部クロックと実質的に同一の周期を有する第2外部クロックとを含み、第1外部クロックおよび第2外部クロックに応じて内部クロックを発生する内部クロック発生回路をさらに備え、制御回路は、内部クロックをトリガとしてディスタブテストを実施するための制御を行なう。特に、内部クロックは、第1外部クロックの立上りエッジおよび立下がりエッジに対応するパルスを有するこの発明のさらなる局面によると、半導体記憶装置は、行列状に配置される複数のメモリセルと、複数のメモリセルの複数の行に対応して設けられる複数のワード線とを含むメモリセルアレイと、外部信号に応じて、テストモードが設定されたことを検出するテストモード検出回路と、メモリセルアレイのリフレッシュ動作におけるリフレッシュ周期を決定するリフレッシュタイマを含み、リフレッシュ動作を制御するリフレッシュ制御回路とを備え、リフレッシュタイマは、テストモードにおいては、通常動作よりも短い周期の発振信号を出力する。

【0017】好ましくは、リフレッシュタイマは、第1発振信号を発生する第1信号発生回路と、第1発振信号よりも周期の短い第2発振信号を発生する第2信号発生回路と、テストモード検出回路の出力に応じて、第1発振信号または第2発振信号を選択的に出力する選択回路とを含み、選択回路は、テストモードにおいては、発振信号として第2発振信号を出力する。

【0018】この発明のさらなる局面による半導体記憶装置によると、行列状に配置される複数のメモリセルと、複数の行に対応して設けられる複数のワード線と、複数の列に対応して設けられる複数のビット線とを含むメモリセルアレイと、内部クロックに同期して、メモリセルアレイの読出動作／書込動作を制御する制御回路と、互いに位相の異なる複数の外部信号に基づき、複数の外部信号のそれぞれの周波数よりも高い周波数の内部クロックを発生する内部クロック発生回路とを備える。

【0019】好ましくは、複数の外部信号は、実質的に同一の周波数を有し、内部クロック発生回路は、複数の

外部信号のうち、互いに異なる組合せの2つの外部入力を受ける複数の論理回路と、複数の論理回路の出力の論理和を算出して、前記内部クロックを出力する回路とを含み、複数の論理回路のそれぞれは、対応する2つの外部信号の位相差に応じたクロックを出力する。

【0020】特に、外部クロックを取込むクロックバッファと、動作モードを検出するモード検出回路とをさらに備え、制御回路は、モード検出回路の出力にตอบสนองして、内部クロック発生回路の出力またはクロックバッファの出力に同期して、メモリセルアレイの読出動作／書込動作を制御する。また、内部クロック発生回路の出力する内部クロックは、外部クロックより高い周波数である。

【0021】

【発明の実施の形態】本発明の実施の形態について図面を参照して詳しく説明する。なお、同一要素には、同一の符号または同一の記号を付し、その説明は省略する。

【0022】〔実施の形態1〕本発明の実施の形態1による半導体記憶装置について説明する。本発明の実施の形態1による半導体記憶装置は、外部クロックをトリガとしてディスタブテストを実施する。

【0023】図1は、本発明の実施の形態1による半導体記憶装置1000の構成の一例を示す図である。図1に示される半導体記憶装置1000は、ディスタブテストにおいて、オートリフレッシュ機能を利用してワード線の立上げ、立下げを行なう（以下、セルフディスタブテストと称す）。

【0024】図1に示されるように、半導体記憶装置1000は、外部コマンドピンから受ける外部制御信号（ロウアドレスストローブ信号／RAS、コラムアドレスストローブ信号／CAS、ライトイネーブル信号／WE、チップセレクト信号／CS）をデコードして内部動作を制御するコマンドを発生するコマンドデコーダ1と、外部クロックピンCLKから外部クロックCLK等を受けるクロックバッファ2と、外部信号に応じてテストモードを検出するテストモード検出回路100と、リフレッシュ動作を制御するリフレッシュ制御回路101と、外部アドレスAを受けるアドレスバッファ103と、アドレスバッファ103またはリフレッシュ制御回路101の出力する内部リフレッシュアドレスのいずれか一方の出力を選択的に出力するマルチプレクサ108と、行列状に配置された複数のメモリセル、行方向に対応して配置される複数のワード線および列方向に対応して配置される複数のビット線を含むメモリセルアレイ110と、メモリセルアレイ110の行の選択を制御するロウ系制御回路109と、メモリセルアレイ110の列の選択を制御するコラム系制御回路111とを備える。

【0025】図2は、リフレッシュ制御回路101の主要部について説明するための図である。図2に示されるように、リフレッシュ制御回路101は、トランスファ

ーゲート3、4、インバータ5、論理回路6、およびリフレッシュカウンタ7を含む。インバータ5は、テストモード検出回路100の出力するセルフディスタープテスト信号TMSE LFDを反転して、セルフディスタープテスト信号/TMSE LFD出力する。

【0026】トランスファーゲート3は、セルフディスタープテスト信号TMSE LFD、/TMSE LFDにตอบสนองして、コマンドデコーダ1の出力するオートリフレッシュコマンドREFAをノードAに出力する。トランスファーゲート4は、セルフディスタープテスト信号TMSE LFD、/TMSE LFDにตอบสนองして、クロックバッファ2の出力する内部クロックをノードAに出力する。

【0027】論理回路6は、セルフディスタープテスト信号TMSE LFDとオートリフレッシュコマンドREFAとを受ける。リフレッシュカウンタ7は、セルフディスタープテスト信号TMSE LFDがLレベルのときコマンドデコーダ1からのオートリフレッシュコマンドREFAによりカウンタを動作させ、内部リフレッシュアドレスをインクリメントする。

【0028】ノードAからは、内部オートリフレッシュ信号が出力される。ロウ系制御回路109は、内部オートリフレッシュ信号に基づき、ロウ方向の選択動作を行なう。当該内部オートリフレッシュ信号が、ディスタープ動作のトリガ信号となる。

【0029】図3および図4は、本発明の実施の形態1による半導体記憶装置の動作を説明するためのタイミングチャートである。図3は、通常動作（ノーマルモード）に、図4は、セルフディスタープテストにそれぞれ対応している。

【0030】図3に示されるように、通常動作では、セルフディスタープテスト信号TMSE LFDは、Lレベルの状態にある。したがって、トランスファーゲート3からオートリフレッシュコマンドREFAが出力される。この際、トランスファーゲート4からの出力はない。したがって、内部オートリフレッシュ信号は、コマンドデコーダ1から出力されるオートリフレッシュコマンドREFAに同期したパルス信号となる。

【0031】論理回路6は、セルフディスタープテスト信号TMSE LFDがLレベルなので、オートリフレッシュコマンドREFAに基づき信号を出力する。これにより、リフレッシュカウンタ7は、オートリフレッシュコマンドREFAにตอบสนองして内部リフレッシュアドレスをインクリメントする（“00”→“01”→“02”→“03”）。

【0032】図4に示されるように、セルフディスタープテスト信号TMSE LFDがHレベルに立上るとセルフディスタープテストに入る。これにより、トランスファーゲート4からパルス信号が出力される。この際、トランスファーゲート3からの出力はない。したがっ

て、内部オートリフレッシュ信号は、クロックバッファ2から出力される内部クロックに同期したパルス信号となる。すなわち、テストモードが検出されると、外部コマンドに代わり外部クロックCLKをトリガとしてリフレッシュ動作を行なうことになる。

【0033】論理回路6は、セルフディスタープテスト信号TMSE LFDがHレベルに立上るとLレベルの信号を出力する。これにより、リフレッシュカウンタ7は、カウント動作を停止する。これにより、内部リフレッシュアドレスは、一定の値となる（“01”）。もし、間違っ外部からオートリフレッシュコマンドREFAが入力されても、セルフディスタープテスト信号TMSE LFDがHレベルであればリフレッシュカウンタ7が動作することはない。この結果、セルフディスタープテストでは、同一のワード線が繰り返し選択/非選択される。なお、ワード線の選択方法は、これに限定されない。

【0034】このように、本発明の実施の形態1による半導体記憶装置によれば、低速のテストを使用した場合であっても、外部クロックをトリガに、タイミング精度の良いショートサイクルのディスタープテストを実施することが可能となる。

【0035】なお、DDR（Double-Data-Rate）-SDRAMの場合、クロックバッファ2は、図15に示されるように、外部クロックEXTCLKおよび外部クロックEXTCLKと逆相の外部クロック/EXTCLKを受ける。図16に示されるように、クロックバッファ2は、外部クロックEXTCLKの立上りエッジおよび立下りエッジに対応したパルス有する内部クロックを出力する。したがって、DDR-SDRAMの場合、外部クロックの2倍の信号をトリガとしてリフレッシュ動作を行なうことができる。

【0036】〔実施の形態2〕本発明の実施の形態2による半導体記憶装置について説明する。低速テストであるテストバーンイン装置を用いてセルフディスタープテストを行なう場合、ディスタープ後に全てのデバイスをスキャン方式により順次判定するため、全てのデバイスを判定するのに時間を要する。そこで、デバイスがリフレッシュオーバーにならないように、ディスタープテスト後すべてのデバイスをセルフリフレッシュモードにセットする。

【0037】ところで、一度に大量のデバイスがバーンイン装置内でテストされると、リフレッシュのマージンがあまり無いデバイスでは、過度の温度ストレスがかかりリフレッシュ不良を起こしてしまう可能性がある。

【0038】このため、本発明の実施の形態2による半導体記憶装置では、図5に示すセルフリフレッシュタイムを備え、セルフディスタープテストにおけるリフレッシュ周期を通常動作モードよりも短くする。図5に示すセルフリフレッシュタイムは、図1に示すリフレッシュ

制御回路101に含まれる。

【0039】図5に示されるように、本発明の実施の形態2によるセルフリフレッシュタイマは、2進カウンタ10#1～10#n、発振回路11、選択回路12を含む。2進カウンタ10#0～10#nはそれぞれ、CLKピン、／Qピン、Dピン、Qピンを含む。2進カウンタ10#i (i=1～n) のCLKピンは、前段に位置する2進カウンタ10#i-1の／Qピンと接続され、Dピンは／Qピンと接続されている。2進カウンタ10#0のCLKピンは、発振回路11の出力である発振信号φを受ける。2進カウンタ10#iのQピンから発振信号φを2のi条分周した信号φ<sup>2<sup>i</sup></sup>が出力される。

【0040】選択回路12は、セルフディスタープテスト信号TMSE LFDに依拠して、2進カウンタ10#n-1または2進カウンタ10#nのいずれか一方の出力を選択的に出力する。当該出力が、セルフリフレッシュタイマの出力となる。

【0041】図6は、本発明の実施の形態2によるセルフリフレッシュタイマの動作を説明するためのタイミングチャートである。図5～図6を参照して、通常動作では、セルフディスタープテスト信号TMSE LFDは、Lレベルの状態にある。したがって、2進カウンタ10#nの出力φ<sup>2<sup>n</sup></sup> (発振信号φを2のn条分周した信号) が、セルフリフレッシュタイマの出力となる。セルフディスタープテストでは、セルフディスタープテスト信号TMSE LFDは、Hレベルになる。したがって、2進カウンタ10#n-1の出力φ<sup>2<sup>n-1</sup></sup> (発振信号φを2の(n-1)条分周した信号) が、セルフリフレッシュタイマの出力となる。

【0042】すなわち、本発明の実施の形態2における半導体記憶装置によれば、セルフディスタープテストに入ると、通常動作に比べてリフレッシュ周期が短くなる。これにより、ディスタープテスト後の状態を適切に保持することが可能となる。

【0043】〔実施の形態3〕本発明の実施の形態3による半導体記憶装置について説明する。本発明の実施の形態3による半導体記憶装置は、図1に示す構成に加えて、内部クロック発生回路300および選択回路40を含む。選択回路40は、図14に示されるように、特定信号に応じてクロックバッファ2の出力または内部クロック発生回路300の出力のいずれかを選択的に内部クロックとして出力する。

【0044】セルフディスタープテスト信号TMSE LFDを特定信号とした場合、選択回路40は、セルフディスタープテストに入ると内部クロック発生回路300の出力を、それ以外の場合にはクロックバッファ2の出力を内部クロックとして出力する。

【0045】内部クロック発生回路300は、図7に示されるように、EXOR回路15を含む。EXOR回路15は、2つの外部信号(外部入力E1、E2)を受

け、内部クロックを出力する。

【0046】図8は、本発明の実施の形態3による半導体記憶装置の動作を説明するためのタイミングチャートである。たとえば、図8に示されるように、外部入力E1を、時刻t0、t4でHレベルに、時刻t2、t6でLレベルにする。これに対し、外部入力E2を、時刻t1、t5でHレベルに、時刻t3、t7でLレベルにする。これにより、EXOR回路15から出力される内部クロックは、時刻t0～t1、t2～t3、t4～t5、t6～t7でHレベルになる。

【0047】したがって、外部入力E1、E2を互いに実質的に同一周期の信号とし、2つの位相をずらすことにより、2逓倍の内部クロックを得ることが可能となる。このような内部クロックを使用してセルフディスタープテストを行なうと、実施の形態1で示したショートサイクルのセルフディスタープテストに比べて、より効果的にショートサイクルテストを実施することが可能となる。したがって、低速テストを使用した場合であってもテストを加速することができる。

【0048】〔実施の形態4〕本発明の実施の形態4による半導体記憶装置について説明する。本発明の実施の形態4による半導体記憶装置は、内部クロック発生回路300に代わり、後述する内部クロック発生回路400を含む。選択回路40は、特定信号に応じてクロックバッファ2の出力または内部クロック発生回路400の出力のいずれかを内部クロックとして出力する。

【0049】内部クロック発生回路400は、図9に示されるように、バッファ20、21、ワンショットパルス発生回路25#1、25#2、およびORゲート26を含む。バッファ20、21は、互いに出力の論理が異なる。バッファ20は、外部クロックCLKと同じ論理の信号を出力する。バッファ21は、外部クロックCLKを反転した信号を出力する。

【0050】バッファ20、21に対応してワンショットパルス発生回路25#1、25#2がそれぞれ設けられる。ワンショットパルス発生回路25#1、25#2のそれぞれは、複数のインバータを有する遅延回路22、NAND回路23、およびインバータ24を含む。

【0051】遅延回路22は、対応するバッファの出力を遅延する。NAND回路23は、対応するバッファの出力と遅延回路の出力とを受ける。インバータ24は、NAND回路23の出力を反転して出力する。

【0052】ORゲートは、ワンショットパルス発生回路25#1、25#2の出力を受けて内部クロックを出力する。

【0053】図10は、本発明の実施の形態4による半導体記憶装置の動作を説明するためのタイミングチャートである。図10に示されるように、バッファ20および21の出力は、互いに逆相になる。この際、内部クロックは、バッファ20の出力が立上ると、これに対応



して一定期間Hレベルの状態になる。また、内部クロックは、バッファ21の出力が立上がると、これに対応して一定期間Hレベルの状態になる。

【0054】このように、実施の形態4においては、2つのバッファの出力の立上がりエッジからワンショットのパルス信号をつくるワンショットパルス発生回路25#1、25#2を備え、当該ワンショットパルス発生回路25#1、25#2の出力をORゲートで受けて内部クロックを発生させる。この際、互いに異なる論理の2つの信号(バッファ20、21の出力)の立上がりエッジは、外部クロックCLKの1周期に1回ずつあるので(合計2回)、内部クロックは外部クロックの2通倍の信号となる。

【0055】このような内部クロックを使用してセルフディスタートテストを行なうと、実施の形態1で示したショートサイクルのセルフディスタートテストに比べて、より効果的にショートサイクルテストを実施することが可能となる。

【0056】[実施の形態5] 本発明の実施の形態5による半導体記憶装置について説明する。本発明の実施の形態4では、バッファ20および21を含み、外部クロックに対して2通倍の内部クロックを発生する内部クロック発生回路400について述べたが、バッファ20、21の特性が互いに異なると外部クロックの1周期中に発生する2つの内部クロックのデューティ比が異なってしまう。そこで、本発明の実施の形態5による半導体記憶装置では、図11に示される内部クロック発生回路500を備える。

【0057】内部クロック発生回路500は、図11に示されるように、バッファ27、28、ワンショットパルス発生回路25#1、25#2、およびORゲート26を含む。バッファ27、28は、回路特性が同等な回路であり、バッファ27は、外部クロックCLKと同じ論理の信号を出力する。バッファ28は、外部クロックCLKを反転した信号を出力する。

【0058】バッファ27、28に対応してワンショットパルス発生回路25#1、25#2がそれぞれ設けられる。ORゲート26は、ワンショットパルス発生回路25#1、25#2の出力を受けて内部クロックを出力する。

【0059】このように構成することにより、外部クロックに対して2通倍の均一な内部クロックを発生することが可能となる。このような内部クロックを使用してセルフディスタートテストを行なうと、タイミング精度の良いテストが実現される。また、実施の形態1で示したショートサイクルのセルフディスタートテストに比べて、より効果的にショートサイクルテストを実施することが可能となる。

【0060】[実施の形態6] 本発明の実施の形態6による半導体記憶装置について説明する。本発明の実施の

形態6では、内部クロックの高速化のためのさらなる構成を示す。本発明の実施の形態6による半導体記憶装置は、図12に示される内部クロック発生回路600を備える。

【0061】内部クロック発生回路600は、EXOR回路30#1~30#mおよびORゲート32を含む。EXOR回路30#1~30#mのそれぞれは、2つの外部入力を受ける。たとえば、EXOR回路30#1は、外部入力E1、E2を、EXOR回路30#2は、外部入力E3、E4を、そして、EXOR回路30#mは、外部入力E<sub>n-1</sub>、E<sub>n</sub>をそれぞれ入力として受ける。ORゲート32は、EXOR回路30#1~30#mのそれぞれの出力を受けて、論理和を内部クロックとして出力する。

【0062】図13は、本発明の実施の形態6による半導体記憶装置の動作を説明するためのタイミングチャートである。外部入力E1、E2、…のそれぞれを実質的に同一周期の信号とし、所定間隔ごとに位相をずらして入力する。外部入力E<sub>i</sub>とE<sub>i+1</sub>との立上がりタイミング(または、立下がりタイミング)の差は、Δt(一定)である。

【0063】図において、外部入力E1は、時刻t0~t6、およびt12~t18でHレベル、外部入力E2は、時刻t1~t7、およびt13~t19でHレベル、外部入力E3は、時刻t2~t8、およびt14~t20でHレベルである。さらに、外部入力E4は、時刻t3~t9、およびt15~t21でHレベル、…、外部入力E<sub>n-1</sub>は、t4~t10、およびt16~でHレベル、そして、外部入力E<sub>n</sub>は、時刻t5~t11、およびt17~でHレベルである。なお、t<sub>i</sub><t<sub>i+1</sub>である。また、Δt=t1-t0=t2-t1=t3-t2=t5-t4=t6-t5=t7-t6=t8-t7=t9-t8、…の関係にある。

【0064】EXOR回路30#1からは、外部入力E1およびE2の位相差に応じて、クロックが出力される。EXOR回路30#2からは、外部入力E3およびE4の位相差に応じて、クロックが出力される。EXOR回路30#mからは、外部入力E<sub>n-1</sub>およびE<sub>n</sub>の位相差に応じて、クロックが出力される。同様に、図示しないEXOR回路からも、2つの外部入力の位相差に応じたクロックが出力される。これらのクロックを受けるORゲート32からは、均一な周期の内部クロックが出力される。

【0065】このように、本発明の実施の形態6に係る構成によれば、複数の外部入力により、出力される内部クロックのパルス間隔およびパルス幅を所望の値に制御することができる。外部入力として、所定の周波数Fの外部クロックを入力した場合、当該周波数Fよりも高い周波数の内部クロックを生成することができる。

【0066】上述した選択回路40により、クロックバ



ッファ2の出力または内部クロック発生回路600の出力のいずれかを選択的に出力した場合、特定信号に応じて、内部クロック発生回路600から出力される外部クロックより高い周波数の内部クロックに同期して、半導体記憶装置を動作させることができる。

【0067】なお、セルフディスタートテスト信号TMS E L F Dを特定信号とした場合、外部クロックより高い周波数の内部クロックを使用してセルフディスタートテストを行なうことができるため、より効果的にショートサイクルテストを実施することが可能となる。したがって、低速テストを使用した場合であってもテストを加速することができる。

【0068】なお、特定信号は、テストモード検出回路100の出力するセルフディスタートテスト信号TMS E L F Dに限定されない。

【0069】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0070】

【発明の効果】以上のように、請求項1、2に係る半導体記憶装置によれば、外部クロックをトリガとして、メモリセルアレイのディスタートテストを実施する。これにより、低速テストを用いた場合であっても精度のよいテストが実現される。

【0071】請求項3に係る半導体記憶装置によると、外部クロックをトリガとしてリフレッシュ動作を行なうことにより、ディスタートテストを実施することが可能となる。

【0072】請求項4に係る半導体記憶装置によると、外部クロックとして2つの外部信号を使用し、これらの位相差に基づく内部クロックをディスタートテストのトリガとする。これにより、効果的にショートサイクルテストを実現することが可能となる。

【0073】請求項5、6に係る半導体記憶装置によると、外部クロックを受ける2つのバッファの出力から2進倍の内部クロックを発生させ、当該内部クロックをディスタートテストのトリガとする。これにより、効果的にショートサイクルテストを実現することが可能となる。特に、バッファの特性を実質的に均等とすることにより、均一なパルス幅を有する内部クロックを発生させることが可能となる。

【0074】請求項7、8に係る半導体記憶装置によると、同一周波数で位相の異なる2つの第1、第2外部クロックに応じて内部クロックを生成し、当該内部クロックをディスタートテストのトリガとする。特に、DDR-SDRAMの場合、内部クロックは、第1外部クロックの2進倍の信号になるため、効果的にショートサイク

ルテストを実現することが可能となる。

【0075】請求項9、10に係る半導体記憶装置によれば、テストモードにおいて、リフレッシュ周期を変化させる。特に、リフレッシュ周期を短くすることにより、ディスタートテスト後の状態を保持するためにリフレッシュ動作を実施させた場合、デバイス環境が厳しい場合であっても、より適切にディスタート状態を保持することが可能となる。

【0076】さらに、請求項11、12に係る半導体記憶装置によると、複数の外部信号のそれぞれの位相差に応じて、外部信号よりも高い周波数の内部クロックを発生させる。したがって、外部からの入力に応じて、所望の周波数の内部クロックを生成し、当該内部クロックに同期して動作させることができる。

【0077】請求項13、14に係る半導体記憶装置によると、外部クロックよりも高い周波数の内部クロックを生成し、当該内部クロックに同期して特定の動作モードを実行することができる。たとえば、外部クロックよりも高い周波数の内部クロックをディスタートテストのトリガとした場合、効果的にショートサイクルテストを実現することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1による半導体記憶装置1000の構成の一例を示す図である。

【図2】 リフレッシュ制御回路101の主要部について説明するための図である。

【図3】 本発明の実施の形態1による半導体記憶装置の動作を説明するためのタイミングチャートである。

【図4】 本発明の実施の形態1による半導体記憶装置の動作を説明するためのタイミングチャートである。

【図5】 本発明の実施の形態2によるセルフリフレッシュタイマについて説明するための図である。

【図6】 本発明の実施の形態2によるセルフリフレッシュタイマの動作を説明するためのタイミングチャートである。

【図7】 本発明の実施の形態3による内部クロック発生回路300について説明するための図である。

【図8】 本発明の実施の形態3による半導体記憶装置の動作を説明するためのタイミングチャートである。

【図9】 本発明の実施の形態4による内部クロック発生回路400について説明するための図である。

【図10】 本発明の実施の形態4による半導体記憶装置の動作を説明するためのタイミングチャートである。

【図11】 本発明の実施の形態5による内部クロック発生回路500について説明するための図である。

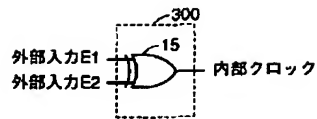
【図12】 本発明の実施の形態6による内部クロック発生回路600について説明するための図である。

【図13】 本発明の実施の形態6による半導体記憶装置の動作を説明するためのタイミングチャートである。

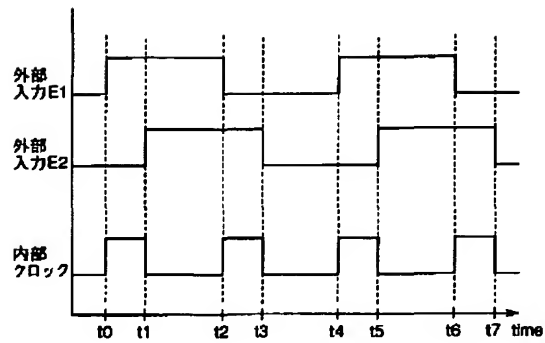
【図14】 選択回路40について説明するための図で



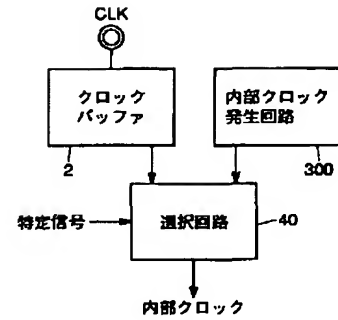
【図7】



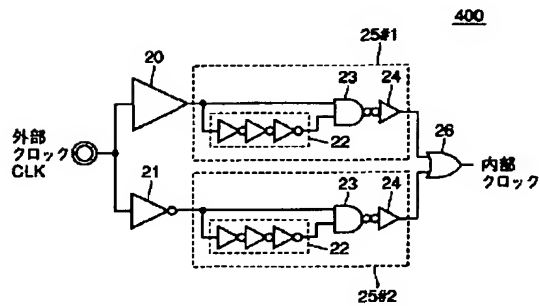
【図8】



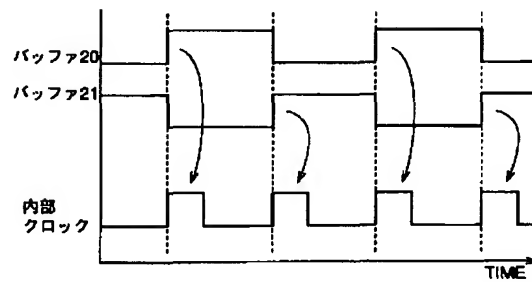
【図14】



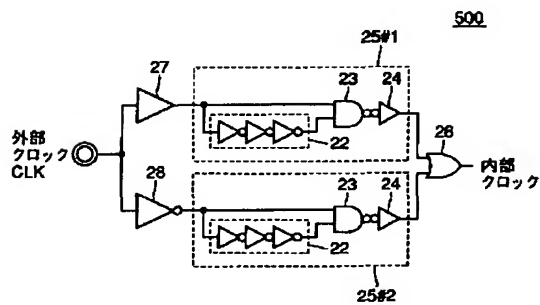
【図9】



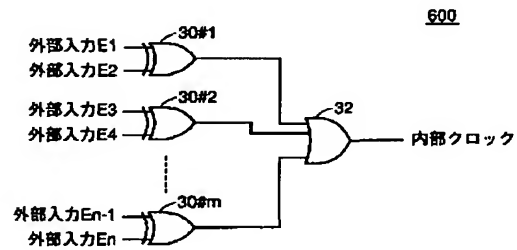
【図10】



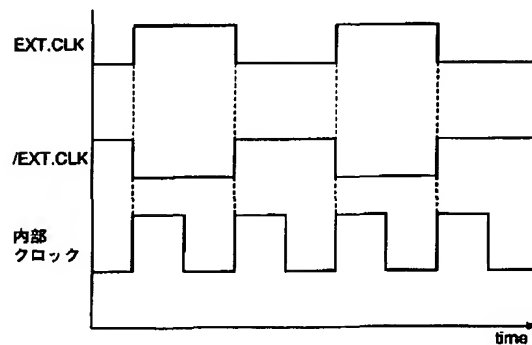
【図11】



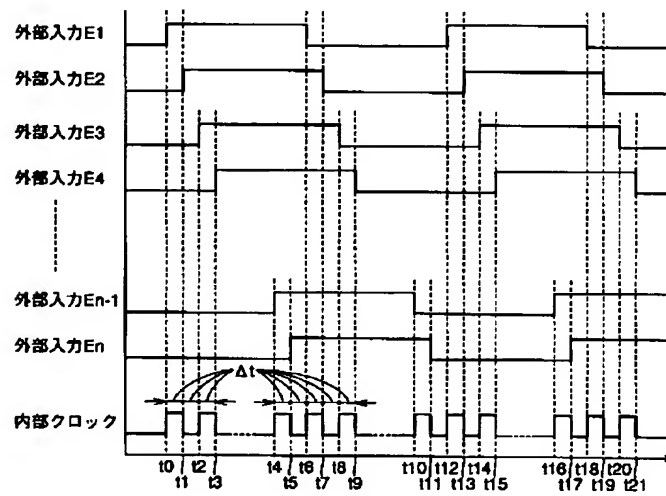
【図12】



【図16】



【図13】



フロントページの続き

(72)発明者 朝倉 幹雄  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

Fターム(参考) 2G032 AA07 AB02 AG01 AG07 AK11  
AK14  
5B079 BA20 BB04 BC02 CC02 DD06  
DD13 DD20  
5L106 DD00 DD12  
9A001 BB03 BB05 KZ54 LL05